

FFASTの硬X線カメラ用 駆動/信号処理アナログ回路の開発



nakajima@ess.sci.osaka-u.ac.jp

中嶋大, 薙野綾, 穴吹直久, 林田清, 常深博, 能町正治 (大阪大学),
尾崎正伸 (ISAS/JAXA), 國枝秀世, 松本浩典, 古澤彰浩 (名古屋大学),
鶴剛, 上田佳宏 (京都大学), 森浩二 (宮崎大学), 伊藤真之 (神戸大学), 他 FFAST WG

FFAST硬X線カメラ駆動/信号処理アナログ回路のハードウェア構成と Engineering Model の開発状況を報告する。SD-CCD出力の信号処理にはアナログASICを用いる。ASIC素子は放射線耐性評価試験とスクリーニング・QCI(quality conformance inspection)試験を問題なく終え、衛星搭載に向け準備が完了した。実験室では駆動回路およびデジタル信号処理回路と接続して機能を実証中である。完了し次第、SD-CCD素子(Bread Board Model エレクトロニクスを用いて性能評価中。薙野+ P2-019参照)と接続して電氣的噛み合わせ試験を行う。

SDCCD Electronics

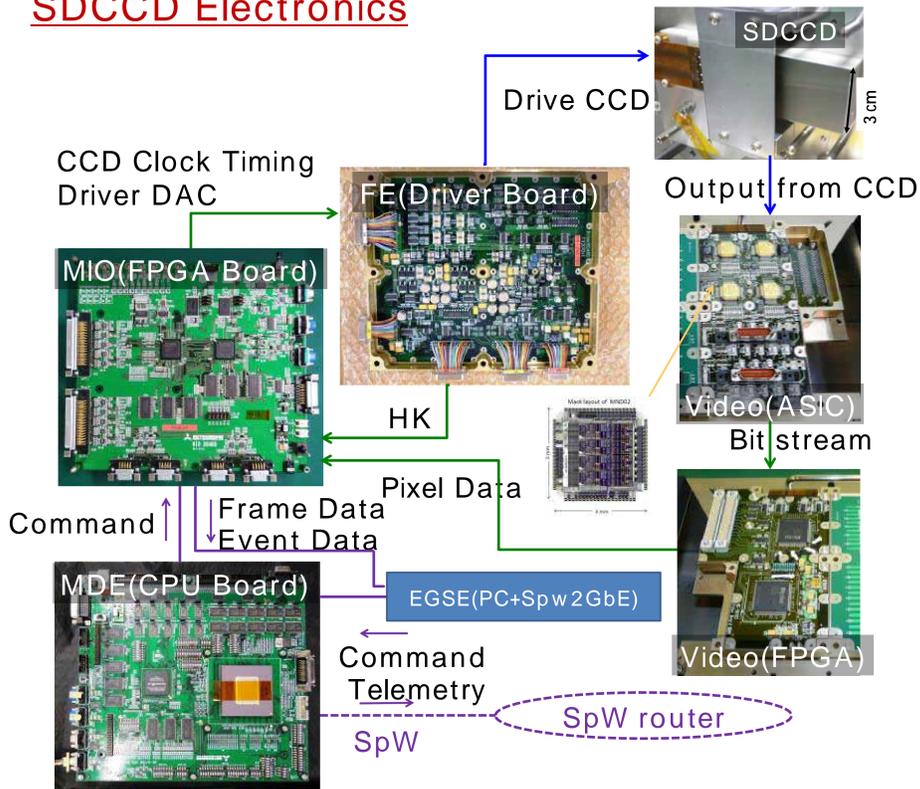


図1: FFAST/硬X線カメラのエレクトロニクスと回路基板間のデータの流れ。

本ポスターでは、FFAST/SDCCD の主に分光性能に直結するアナログエレクトロニクスについて現状を報告する。アナログエレキは、CCD を駆動する Driver Board および CCD からの微弱アナログ信号をデジタル変換する Video Board からなる(図1)。Driver Board は、MIO Board (穴吹+ P2-021参照) 上に実装された CCD シーケンサからの制御信号に基づき、CCD の電荷転送に必要な駆動信号を印加すると同時に、CCD およびアナログエレクトロニクスの HK 情報をデジタルエレクトロニクスに送る。Video Board には低雑音信号処理のためのアナログ ASIC を搭載しており、ボード自体が CCD カメラボディに納められる。

Video/Driver Engineering Model 機能検証試験

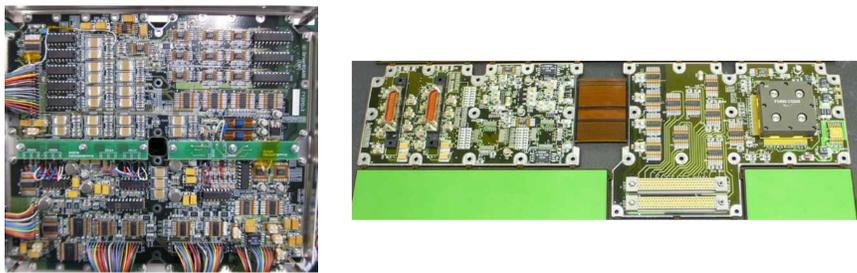


図2: Driver Board (左)とVideo Board (右)の EM。後者は FPGA 部分の検証を先に行うためASICは未実装状態。

Bread Board Model 基板による機能・性能試験結果をフィードバックしたEM基板を製作した。実装部品は民生品であるが基板パターンはFM品を想定しており、それゆえ一部の部品はドーターボードを介して実装されている。以下の機能を実証済みであり、今後SD-CCD と接続して性能試験を行う予定である(図3)。

検証済機能

- Video Board FPGA register の read/write
- ASIC ゲイン、DAC設定値
- ASIC出力の復号化時に付与するオフセット値設定
- FPGA モード遷移コマンド
- Video - FE インタフェース
- 冗長制御機能
- Driver Board
- CCD駆動アナログ信号付与
- HK読み出し
- ヒーター電流値制御



図3: BBM Video・EM Driver による CCD冷却性能試験のセットアップ写真。ここでは Video Board をカメラボディ外に配置し、CCDからの微弱アナログ信号等のモニタを行っている。

ASIC 放射線耐性試験

放医研HIMACでシングルイベントに対する耐性評価実験を行った。下記に示す通り、ラッチアップ(Single Event Latchup : SEL)・アップセット(Single Event Upset : SEU)いずれについても十分な耐性を実証している。

表1: ASICに照射したビーム諸元

Species	Beam course	Energy (MeV/u)	Linear energy transfer (MeV·cm ² /mg)	Beam Width (mm in FWHM)	Maximum intensity (Ion/sec/cm ²)
Proton	PH1	100	5.89×10 ⁻³	3.8 × 1.1	1.7×10 ⁹
Silicon	PH1	400	0.49	2.9 × 2.6	3.3×10 ⁴
Krypton	PH1	200	4.72	4.4 × 3.8	3.3×10 ⁵
Iron	PH1	400	1.68	7.1 × 5.7	3.3×10 ⁴
Xenon	MEXP	6	57.9	2.4 × 1.8	1.0×10 ⁸
	PH1	200	10.6	diameter of 10	3.3×10 ⁶
	PH1	400	7.2	diameter of 10	3.3×10 ⁴

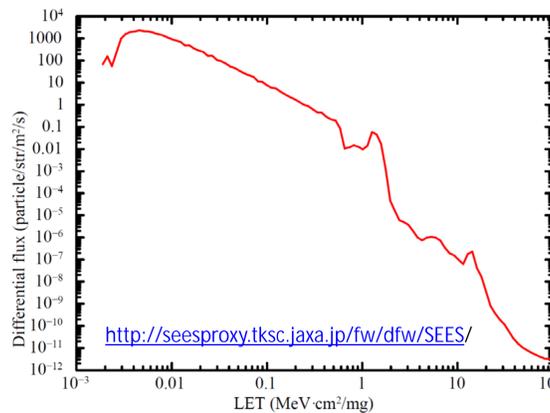


図4: 低高度地球周回軌道(高度550km, 軌道傾斜角30°)における宇宙線LETスペクトル。Al 遮蔽厚20mmを仮定。計算期間は2014年の1年間。

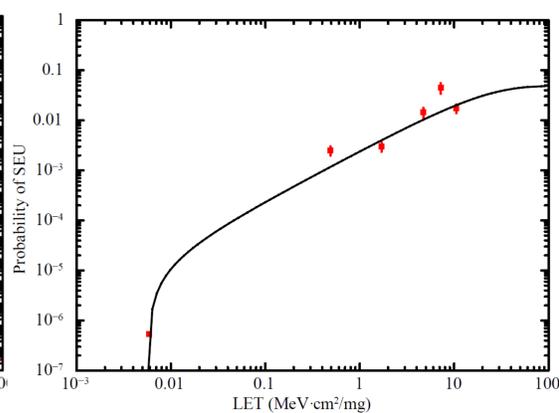


図5: SEUを起こす確率分布。試験した3素子の平均(プロトンのみ4素子)。Siウエハ内でのプロトンの散乱効果を考慮した。黒実線は Weibull カーブのベストフィット結果。

SEL は 57.9 MeV · cm²/mg のXeイオン照射時でも一度も起こらず、SELの断面積はP_{SEL} < 2.0 × 10⁻¹¹ cm²/lon · ASIC(95%信頼度)であった。図4から予想される予想SEL頻度は最悪ケースでも 150年に一度である。

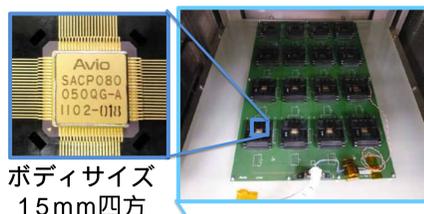
SEUは図4、図5より、最悪ケースでも1.3 × 10⁻³ SEU/s。その一部はX線イベントと区別がつかないが、強度は非X線バックグラウンドの1%程度と十分低いため問題でない(Nakajima et al. 2013 submitted to NIMA)。

ASIC バーンイン試験(BT)

山梨アビオニクス・福島アビオニクスにてバーンイン試験・QCI試験をそれぞれ行った。前者は NASA EEE 部品レベル2 に準拠、後者はJAXA-QTS-2010の試験項目を一部抜粋したものである。いずれも全数が試験をクリアした。特に後者について結果を示す。

表2: バーンイン試験諸元

対象	ASIC FM パッケージ 32 pcs
温度	+115 °C
時間	220 時間
方法	Dynamic Burn-in
入力信号	軌道上で ASIC に入力される信号と同一レベル・同一周波数



ボディサイズ 15mm四方



図6: 宇宙用カスタムパッケージ、バーンイン試験用回路基板および試験を行った恒温槽。

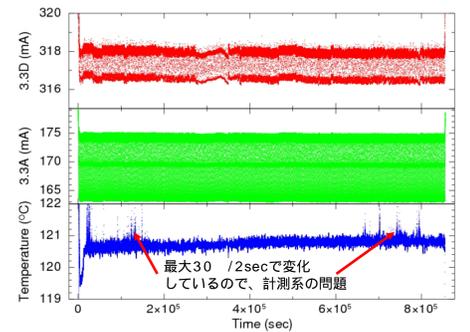


図7: BT中の基板電流と基板温度。CCD疑似信号処理に伴い電流値が秒スケールで変化しているが、日スケールでは安定している。

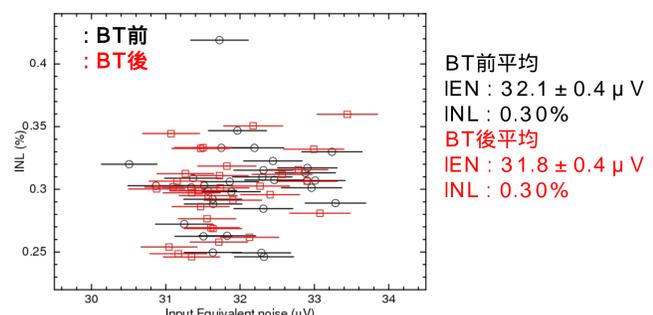


図8: 全32素子のBT前後の性能比較。入力等価雑音・積分非線形性ともにBT前後で変化なかった。1素子内の8ADCsの結果を平均している。