## 次世代X線精密撮像分光器 SOIPIX

## 鶴剛,劉周強, 中島真也(京都大学), 新井康夫(KEK), 中嶋大, 常深博(大阪大学)

.3-40keVの次世代X線精密撮像分光器を目指し, SOI(Silicon-On-Insulator)と呼ぶ新しい半導体技術を用いた新型のX線SOIピクセル検出器(SOIPIX)の開発を平 成20年度より行っている(科研費, 宇宙研基礎開発実験費), その最終ゴールは, (I)精密分光(6keVのX線に対し分解能I40eV以下), (2) 精密撮像(I秒 角), (3)広エネルギー帯域(0.3-40keV), (4)低バックグランド(20keVのX線で5×10-5 c/s/keV/10mm角以下), を実現することである. さらに, (5)アナロ グ・デジタル変換回路(以下, AD変換回路)などのインテリジェント機能回路を素子内部に組み込み,システム全体の単純化・信頼性と耐ノイズ性能を向上 させる。平成20年度から2年半のパイロット研究を行い下記の成果を得た。30µm角ピクセルでImm角のSOIPIX素子開発した。空乏層厚みII0µmにより 6-60keVでの撮像分光に成功した.反同時係数による非X線バックグラウンド除去を行うため,ヒット信号出力(タイミングと位置)機能を備える.また,素 子内部に一体化させるAD変換回路のTEGの製作を行った.現在評価中である.

**TRIG** 







- Monolithic pixel detector by Silion-on-insulator (SOI) Tech
- Depletion Si layer (sensor) + SOI CMOS circuitry (readout)
- Active pixel sensor (APS) enables Anti-coincidence
- Many advantages over conventional hybrid CMOS sensors
- SOI-Group-Japan was started in 2005 (INTPIX, <u>XRPIX</u>, etc)

## **XRPIX1** DESIGN: PIXEL CIRCUITRY



Microscope Photo <sup>2</sup>Out 1.0 mm 666666666666 .4 mm 32 x 32 Pixel Array Pixel Size =  $30 \times 30 \mu m^2$ 6666 **Process Spec :** m Address Decode Analog 0.2 µm fully depleted SOI Colum Amp <sup>-D</sup>Out CMOS, voltage=1.8 (3.3) V

**XRPIX1** DESIGN: BLOCK DIAGRAM

◆ XRPIX1 (2009/2010) = First SOIPIX designed for X-ray detection

- In-pixel noise suppression with Correlated Double Sample (CDS)
- In-pixel trigger output

- ◆ Gain of readout circuitry (SF+BUF) is G<sub>amp</sub> = 0.915 (measured).





- Characteristic X-ray lines are resolved.
- Output gain (G<sub>out</sub>) & senor capacitance are measured.









X-ray QE => 95%@6keV, 10%@20keV

## **XRPIX-ADC1**







 $\Delta\Sigma$  type ADC

•The chips are ready. Now preparing test system.