

概要

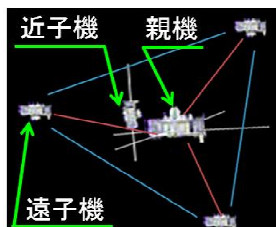
本研究では惑星磁気圏探査衛星に搭載するデジタル磁力計の精度を向上させるために、高精度なデルタ-シグマ DAC を独自に開発し、デジタル磁力計に組み込むことで精度を向上させた。さらに、搭載機器のリソース削減のために、デジタル磁力計に残されたアナログ回路を ASIC で開発し、小型、軽量、省電力な磁力計を開発している。

DAC : Digital to Analog Converter, ASIC : Application Specific Integrated Circuit

1. 研究背景 次期磁気圏探査 SCOPE 計画

SCOPE : cross-Scale COupling in the Plasma universE

SCOPE 計画は 4 機の衛星による地球磁気圏（主に、衝撃波、乱流、リコネクション領域）の同時多点、マルチスケール観測計画である。SCOPE 計画では電子スケール（1 km）から電磁流体スケール（10 万 km）までのスケールを同時に観測する。SCOPE 衛星に搭載するフラックスゲート磁力計では DC から約 100 Hz（電子スケール時間）での磁場測定が要求されている。電子スケール時間の観測ではイオンや電子の加速、加熱過程を解明すること及びリコネクションの発生、発達する過程を解明することを目的としている。加速過程はサイクロトロン周波数付近の波動や電磁流体波動の 1 つであるアルフヴェン波等に伴う波動粒子相互作用や、衝撃波、境界層遷移領域内部での磁場擾乱によって起こるとされている。



磁力計の目標性能

測定範囲	±4096 nT
精度	8 pT 20 ビット
ノイズ	5 pT/√Hz
線形性誤差	0.005 % F.S.
測定帯域	DC-128 Hz

図 1 SCOPE 衛星の観測のイメージ図（左）と SCOPE 衛星に搭載するフラックスゲート磁力計の目標性能（右）

SCOPE 衛星や将来の惑星磁気圏探査計画において磁場測定精度の向上および磁力計の小型、軽量、省電力化は重要な課題である。本研究では、SCOPE 衛星への中間目標として磁力計を開発し、それを科学観測ロケット S-310-40 号機に搭載した。科学観測ロケットでは磁力計による姿勢決定精度 2° が要求されている。この要求を満たすために磁場分解能 2 nT 以上、測定周波数帯域 DC から 10 Hz 以上を目標として磁力計を開発した。ここでは、磁力計の精度を向上させるために開発した高精度な DAC の設計、開発成果とそれを組み込んだ磁力計の開発成果を主に発表する。

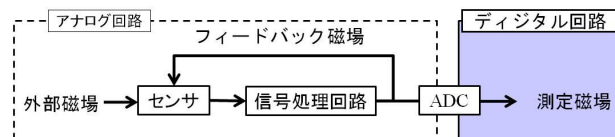
2. フラックスゲート磁力計の測定原理

フラックスゲート磁力計はセンサ部と電気回路部（センサ励磁回路及び信号処理回路）で構成されている。図 2(a)は従来のアナログ磁力計の信号の流れを示したブロック図である。

センサは外部磁場に比例した信号を検出する。センサで検出された信号は信号処理回路内部の積分回路で積分される。積分された電圧はセンサにフィードバックされ、センサ内部にフィードバック磁場を発生させる。

このフィードバック磁場はネガティブフィードバックによって外部磁場をキャンセルするように制御される。外部磁場とフィードバック磁場の差がセンサで検出され、信号処理回路を通して再びセンサへフィードバックされる。フィードバック磁場は信号処理回路によって検出磁場がゼロ磁場になるように制御されるため、フィードバック磁場を測定することは外部磁場を測定することに等しい。

(a) 従来のアナログ方式フラックスゲート磁力計



(b) 本研究: デジタル化

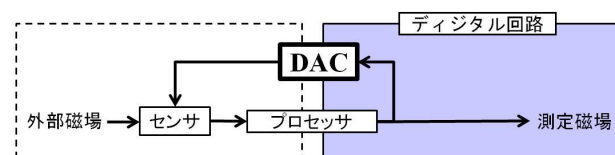


図 2 従来のアナログ磁力計(a)とデジタル化した磁力計(b)の信号の流れ

外部磁場が定常でもフィードバック磁場にノイズがあったり、量子化された値がフィードバックされたりする場合には、それらに起因するフィードバック磁場の変動がセンサで検出される。検出磁場の変動は信号処理回路を通して測定磁場に現れるため、フラックスゲート磁力計にとってフィードバック信号の高精度化は重要である。

3. デジタル化による小型、軽量、省電力化

デジタル方式は従来のアナログ回路をプロセッサに置き換えることで小型、軽量、省電力化を図れる。1990 年代中ごろから人工衛星への搭載に向けてフラックスゲート磁力計のデジタル化が提案された([Primdahl, et al., 1984], [Auster, et al., 1985])。米国の THEMIS 衛星など、いくつかの衛星にはすでに搭載されている。これまでに衛星に搭載されたデジタル方式はアナログ方式に比べて、重量も電力も半分以下である。

デジタル方式の基本的な構成を図 2(b)に示す。デジタル方式では検出されたアナログ信号をデジタル信号に変換し、デジタルデータをプロセッサの FPGA (Field Programmable Gate Array) に取り込む。取り込まれたデータをもとに FPGA の演算処理で検出磁場を求めて、積分を行う。フィードバック経路中に配置したデジタル-アナログ変換器 (DAC : Digital to Analog Converter) に積分値を入力し、アナログ値に変換された信号（電圧）はフィードバック磁場を発生させる。

4. デジタル化の課題と解決方策

前述のとおり、磁力計の測定精度はフィードバックの精度に強く依存する。そのためフィードバックに用いる DAC の分解能がそのまま磁力計の分解能に相当する。S-310-40 号機では分解能 16 ビット（2 nT に相当）、SCOPE 計画では 20 ビット（8 pT に相当）の DAC が必要となる。SCOPE 計画や将来の惑星磁気圏探査計画では、放射線耐性のあるデバイスが必要である。しかし、放射線耐性があり、磁力計に適した高精度、高分解能な DAC デバイスは現在製造されていないという問題がある。

米国の THEMIS 衛星に搭載されたデジタル磁力計のフィードバック回路では、390 nT ～ 390 nT の測定範囲で 12 ビット DAC を使用している。このとき、フィードバックの磁場分解能は 0.19 nT、線形性誤差は 0.0056% (0.23 LSB 相当) である。

±25000 nT の測定範囲では 12 ビットの DAC に加えて 6 ビットの DAC も使用されている。このダイナミックレンジにおける線形性誤差は 0.02 % と大きい。この方法の問題点は 3 つある。①DAC を 2 個使用しているため、サイズや消費電流が大きくなる。②ダイナミックレンジを絞ることではしか高精度を得られないためより磁場の強い磁気圏の観測では採用できない。③放射線耐性のある DAC デバイスの供給状況に応じて、使用できる DAC が制限される。

5. デルタ-シグマ DAC の設計

デルタシグマ DAC の特徴

デルタ-シグマ型の DAC は他の DAC に比べて 18～24 ビットと高精度である。さらに、DAC がカバーする周波数帯域は DC から 10 kHz 程度であるため、磁力計に組み込むことに適している。オーバーサンプリング比 (OSR : Over Sampling Ratio) などのパラメータを変えると DAC の精度が変わるという特徴を持つ。「OSR を変えてデルタ-シグマ DAC の性能を向上させること」と「それを実現するための回路やプロセッサ使用率の増大」は対立する関係にあるため、パラメータのトレードオフが重要である。本研究では、磁力計に適した DAC のパラメータを設計と実機の性能評価から導き、デジタル磁力計の精度を向上させた。さらに、宇宙で使用できるプロセッサとオペアンプだけを用いてデルタ-シグマ DAC を開発することにより耐放射線性デバイスへの依存度も軽減される。

デルタ-シグマ DAC の原理

図 3 に示すとおり、デルタ-シグマ DAC は変調器と後段のアナログローパスフィルタで構成されている。デジタル入力 (図 3 の x) はプロセッサ内部の変調器に入力された後、変調器から変調信号 (図 3 の y) が出力される。変調器内部ではデルタシグマ DAC のノイズ源となる量子化ノイズ (図 3 の e) が発生する。

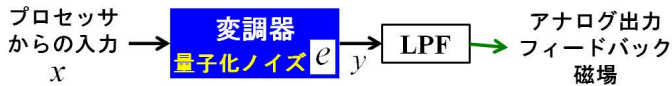


図 3 デルタ-シグマ DAC の構成

デジタル入力 x と変調出力 y 、量子化ノイズ e の関係は式 (1) のようになる。この式から量子化ノイズだけが微分されていることがわかる。

$$y = x + \frac{de}{dt} \quad (1)$$

図 4 に周波数空間における量子化ノイズ e の特徴を示す。変調方式をとらない DAC の量子化ノイズは DC からナイキスト周波数まで一様に広がっている。一方、デルタ-シグマ DAC は量子化ノイズを微分しているため、低周波域のノイズは抑えられて高周波域のノイズは大きくなる。量子化ノイズ e はアナログフィルタを通ることで高周波域のノイズがカットされ、ノイズの小さい、高精度な DAC が実現される。

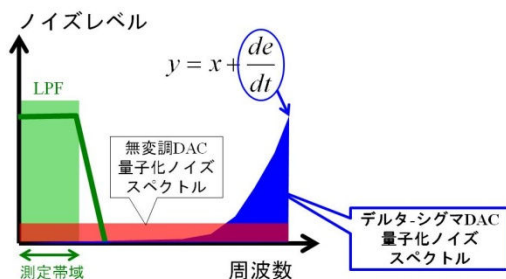


図 4 周波数空間における量子化ノイズの分布

デルタ-シグマ DAC の設計

アナログフィルタのカットオフ周波数 f_c と変調器の演算周波数 f_0 の比はオーバーサンプリング比と呼ばれ、式 (2) のように表される。

$$OSR = \frac{f_0}{2f_c} \quad (2)$$

OSR を上げると変調される周波数帯域が高周波域までシフトし、低周波域のノイズは小さくなる。計算機を用いた設計では OSR を変化させ、デルタ-シグマ DAC の精度評価を行った。その結果に基づいて OSR を 677 とした。変調器には 1 ビット、2 次型の Boser-Wooley 型を採用し、アナログローパスフィルタには 4 次のバターワース型を採用した。

6. デルタ-シグマ DAC 試作モデルの開発成果

図 5 に開発したデルタシグマ DAC の試作モデルを示す。図 5 左側の回路がアナログローパスフィルタで、右側の回路が FPGA で実現されたデルタ-シグマ変調器である。

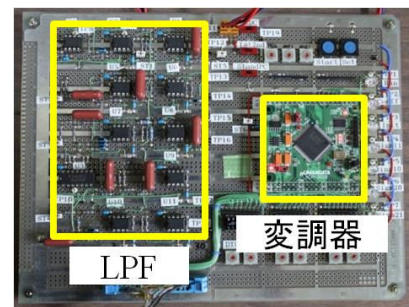


図 5 開発したデルタ-シグマ DAC の試作モデル

図 6 にデルタ-シグマ DAC の性能評価方法を示す。デルタ-シグマ DAC は PC から入力されたデジタル値をアナログ値に変換する。アナログ出力はアナログ-デジタル変換器 (ADC : Analog to Digital Converter) でデジタル値に変換されて PC に取り込まれる。このデジタル入力値とデジタル出力値を比較することでデルタ-シグマ DAC の性能を評価する。

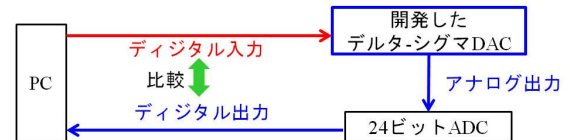


図 6 デルタ-シグマ DAC の評価方法

図 7 にデジタル入力値と出力値の一例を示す。デジタル出力には開発したデルタ-シグマ DAC のノイズと測定器である ADC のノイズが含まれている。

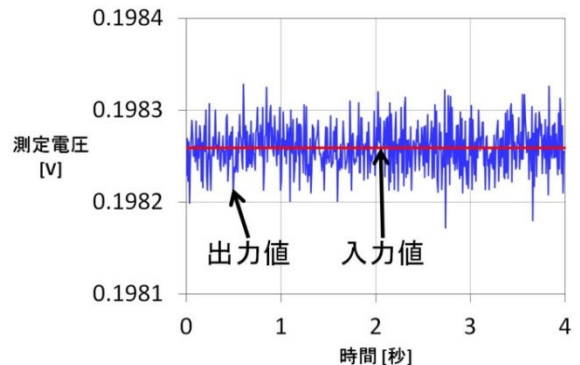


図 7 デルタ-シグマ DAC の入出力データ
横軸は時間、縦軸は測定電圧である。デジタル入力値とデジタル出力値を比較して、デルタ-シグマ DAC の諸特性を評価した。

線形性誤差の評価結果

図 8 にデルタ・シグマ DAC の入出力特性を示す。図 8 の測定結果を直線で近似し、近似直線と測定結果のずれを線形性誤差として評価した。下に凸に湾曲した線（緑線）が近似直線と測定結果の差であり、右スケールにその値を示す。この曲線の最大値と最小値が $500 \mu\text{V}$ なので、フルスケール 5 V に対して線形性誤差は 0.01% 以下であることがわかる。

分解能の評価結果

DAC の分解能は測定したノイズの標準偏差をもとに評価した。図 9 にノイズを測定した結果を示す。デルタ・シグマ DAC は入力値に依存した特定周波数のトーンノイズを発生させる。トーンノイズの影響を評価するため、DC 入力値ごとにノイズを測定した。図 9 の $10 \mu\text{V}$ 以下の塗りつぶされた領域は ADC のもつノイズを示している。観測ロケットで要求される分解能は $80 \mu\text{V}$ であり、ADC の測定精度 ($10 \mu\text{V}$) は DAC を評価するのに十分な精度を持っている。観測ロケットで実際に測定する磁場範囲において、測定したノイズの標準偏差は約 $20 \mu\text{V}$ であり、これは 18 ビット、 0.5 nT に相当する。したがって、開発した DAC は要求分解能 $80 \mu\text{V}$ (16 ビット、 2 nT) を満足している。また、設計計算と同様、入力値が大きいかときにはノイズが大きい。

周波数特性の評価結果

デルタ・シグマ DAC が設計した周波数帯域を持つことを確かめるために周波数特性を評価した。デルタ・シグマ DAC に正弦波を入力し、デルタ・シグマ DAC から出力される信号の振幅比からカットオフ周波数を、位相遅れから時間遅れを計算した。図 10 に振幅比と時間遅れの結果を示す。振幅比が -3 dB になるカットオフ周波数は 67 Hz であり、設計値の 65 Hz とほぼ等しい。観測ロケットで要求されている測定周波数帯域 DC- 10 Hz よりも十分高い周波数まで磁場を測定できる。時間遅れは 4.6 から 5.4 msec であり、これはアナログフィルタによる時間遅れ 5 msec とほぼ等しい。時間遅れの許容誤差は $5 \text{ msec} \pm 2.5 \text{ msec}$ 以内であり、要求を十分満足している。

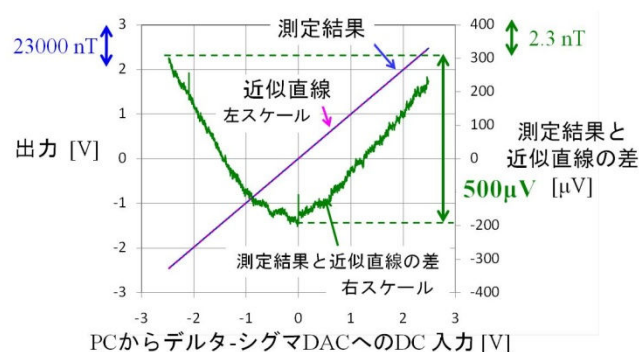


図 8 デルタ・シグマ DAC の入出力特性
横軸は PC から DAC への入力値、左縦軸は出力値である。右縦軸は近似直線と測定結果の差である。

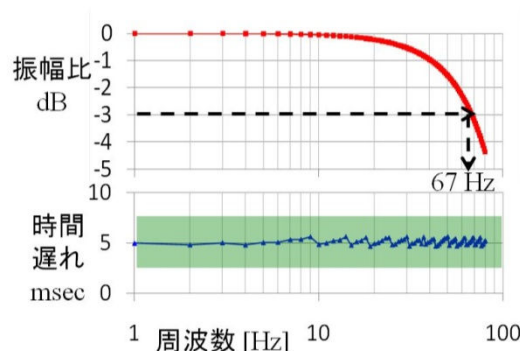


図 10 周波数特性の評価結果
上図の縦軸は振幅比（デシベル）、下図は時間遅れ（msec）である。横軸は入力した周波数である。カットオフ周波数は 67 Hz 、時間遅れは約 $5 \text{ msec} \pm 0.4 \text{ msec}$ であり観測ロケットの要求を満足している。

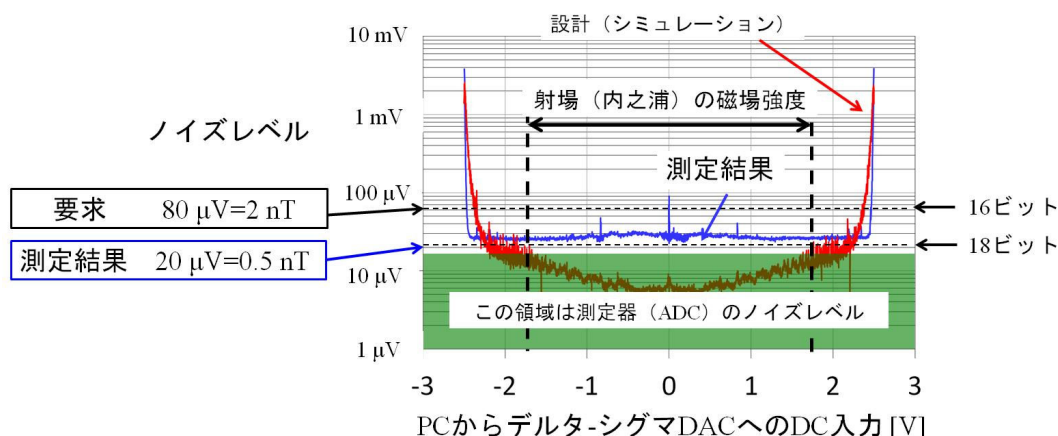


図 9 デルタ・シグマ DAC のノイズレベルと分解能

横軸は PC から DAC への入力値、縦軸はノイズの標準偏差である。観測ロケットで実際に測定する磁場範囲において、DAC の分解能は要求値 ($80 \mu\text{V}$ 、16 ビット) を満足している。

7. S-310-40 号機に搭載した磁力計の開発成果

図 11 に科学観測ロケット S-310-40 号機に搭載したフラックスゲート磁力計を示す。図 11 の左側は磁力計の信号処理回路のうち、デルタ・シグマ DAC が占有している領域を示している。変調器は検出磁場を計算する FPGA に組み込まれているため、変調器は寸法上、リソースを使用していない。図 11 右側はセンサ部、電気回路部を組み込んだ搭載直前の状態である。表 1 に開発した磁力計の性能評価結果を示す。磁力計の分解能は 17.1 ビットであったため、開発した磁力計は要求された磁場分

解能 16 ビット、 2 nT を満足している。また、磁力計の分解能はデルタ・シグマ DAC の分解能 (18 ビット) とほぼ同等であったため、磁力計の分解能は DAC の分解能で制限されていることがわかる。したがって、デルタ・シグマ DAC の分解能をさらに向上させることで磁場分解能 20 ビットの磁力計を開発することが可能である。開発した磁力計は 14 Hz の磁場変動まで測定でき、ロケットのスピンの伴う磁場変動を十分測定できる。線形性誤差はデルタ・シグマ DAC の線形性誤差に比べて 3 倍大きい、これは測定システムの影響によると考えられ、今後、試験方法の改善策を構築する。

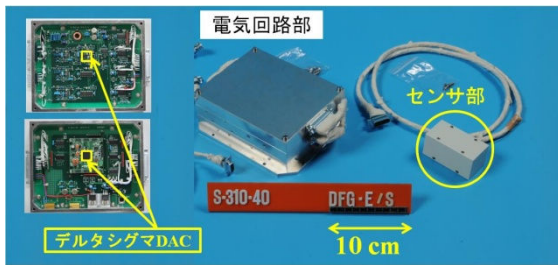


図 11 観測ロケットに搭載した磁力計

表 1 開発した磁力計の性能

分解能	0.79 nT (17.1ビットに相当)
周波数帯域	DC-14 Hz@-3dB
線形性誤差	0.03%以下

8. S-310-40 号機のフライトデータ解析結果

科学観測ロケット S-310-40 号機は夜間中緯度電離圏領域における電波伝搬解析を目的として 2011 年 12 月 19 日 23 時 48 分 (JST) に内之浦宇宙空間観測所から打上げられた。

このロケット実験では磁力計のフライトデータからスピン周波数と地磁気姿勢角を解析する。図 12 に打上げ後 80 秒から 90 秒のフライトデータを示す。この測定軸はほぼスピン面内にあり、スピンに伴う磁場変動がよく表れている。図 12 において 0 nT と測定データが交差する時刻を取り出し、スピン周期を求める。図 13 に打上げ直後から着水する時までのスピン周波数を示す。打上げ直後から 60 秒の間、観測ロケットは約 1.5 から 2 Hz でスピンし、60 秒後にデスピンを行った。打上げ後 60 秒から大気に再突入するまでロケットは 0.7 Hz で安定したスピンをしていた。

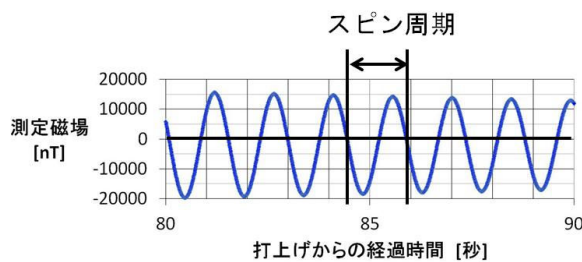


図 12 打ち上げ後 80 秒から 90 秒の磁場データ
横軸は時間、縦軸は測定磁場である。感度軸はほぼスピン面内にあり、スピンの伴う磁場変動が観測されている。

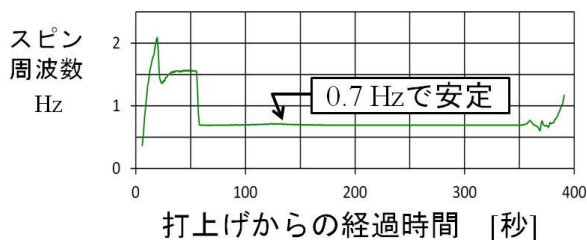


図 13 観測ロケットのスピン周波数

60 秒後にデスピが行われ、スピン周波数は 0.7 Hz で安定していた。

図 14 に地磁気姿勢角の定義を示す。地磁気姿勢角はスピン面に鉛直上向きのベクトルと磁場のなす角である。磁力計の感度軸は厳密にはスピン面内とスピン軸方向ではないため、フライトデータをスピン面内磁場とスピン軸方向の磁場に座標変換しなければならない。ここでは感度軸がスピン面内およびスピン軸方向を向いているとして算出した地磁気姿勢角の速報値を示す。図 15 に打上げ中の地磁気姿勢角を示す。デスピンが行われる 60 秒まで、地磁気姿勢角は安定しており、その後、大気に再突入するまでの間に約 15° の角度でロケットが才差運動をしていることがわかった。今後、厳密にスピン面内磁場

とスピン軸方向の磁場に変換して詳細な解析を行う。

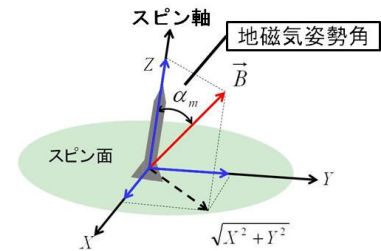


図 14 地磁気姿勢角の定義

α_m は地磁気姿勢角を、X、Y、Z は磁力計の感度軸を表す。

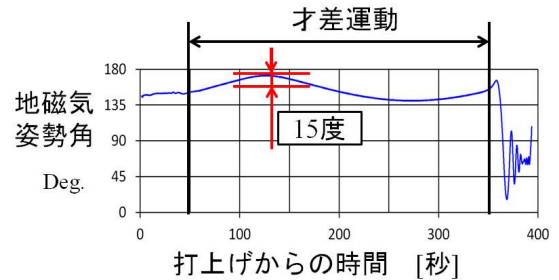


図 15 地磁気姿勢角の時間変化

打上げ直後の地磁気姿勢角は約 145 度であった。60 秒から 350 秒の間にロケットは約 15 度で才差運動をしていることが分かった。

9. ASIC 開発によるリソースの削減

ASIC : Application Specific Integrated Circuit

図 16 に示すようにデジタル磁力計の信号処理回路には検出した磁場を増幅するためのアンプやバンドパスフィルタがある。本研究ではこの残されたアナログ回路を ASIC 化することにより、デジタル磁力計のさらなる小型、軽量、省電力化を目指す。現在、ASIC 開発は磁力計のための仕様決定と回路設計、シミュレーションによる性能確認、レイアウトまでを終了している。図 17 にレイアウトしたアンプとバンドパスフィルタを示す。チップは 5mm 角で、設計した回路はそのうちの 5 分の 1 の面積で実現できた。今後、ASIC の性能評価基板の製作、性能評価試験を行う。

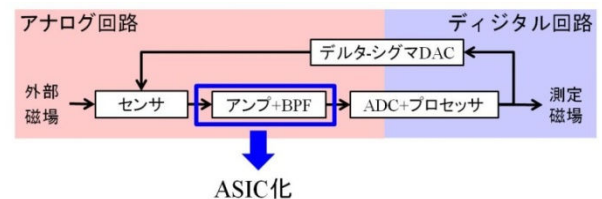


図 16 デジタル磁力計のうち ASIC 開発する要素

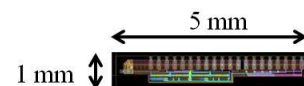


図 17 アンプとバンドパスフィルタのレイアウト

10. まとめ

デジタル磁力計の高精度化のためにデルタ・シグマ DAC のパラメータ設計と試作モデルの開発及び性能評価実験を行い十分な精度が得られた。開発した DAC を磁力計に組み込み、性能を評価した結果、17 ビットの高精度な磁力計の開発に成功した。そして開発した磁力計を観測ロケットに搭載した。現在、フライトデータの解析を行っている。さらに、デジタル磁力計のリソース削減のためにアナログ回路の ASIC 開発に着手しており、非常に小さな ASIC の設計に成功した。ASIC は製作中であり、今後性能評価を行う。