

次世代の遠赤外線イメージセンサーへの応用を目指した極低温電子回路の開発(II)

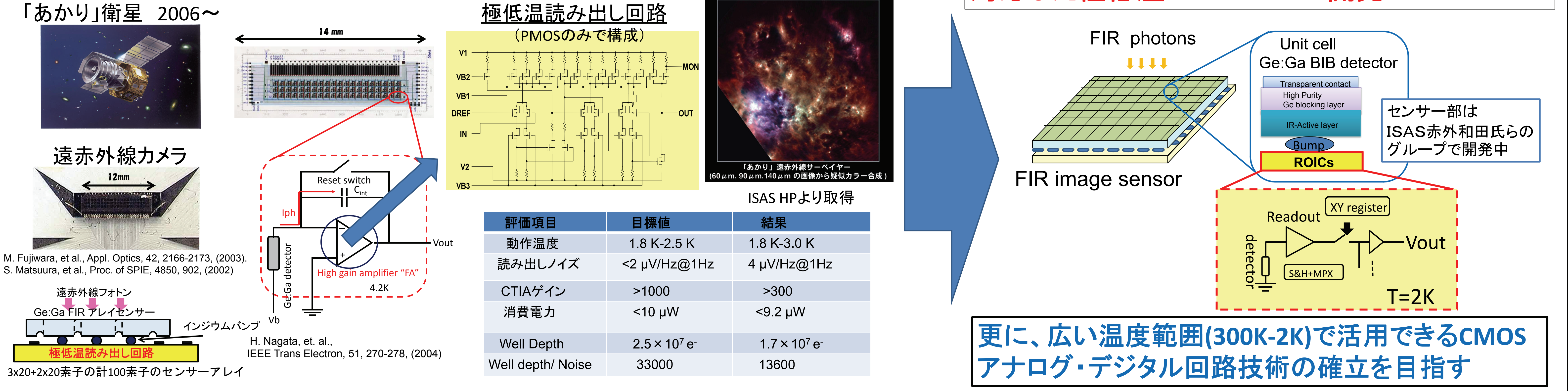
永田洋久 (hnagata@ir.isas.jaxa.jp)、和田武彦、池田博一 (JAXA)、新井康夫 (KEK)、大野守史 (AIST)

1. 背景と目的

赤外線天文衛星「あかり」用極低温回路の開発成果

遠赤外線カメラでの観測成果

FIR～submm帯の大フォーマットFIRセンサーに対応した極低温CMOS VLSIの開発



2. FD-SOI-CMOSの極低温特性

各トランジスタの4.2K冷却時の性能

	低温特性	その他
バルクCMOS	4K冷却時に静特性が劣化	「あかり」用に極低温PMOSを独自開発
Si-JFET	約50K以下では動作せず	雑音特性が大変優れており、単ピクセル用の読み出しモジュールとして利用されている。
GaAs-JFET	特性劣化は見られない	ゲートリーク電流が低いという優れた特徴を持つが、N型のみでありCMOS回路技術が利用できない。
Ge-JFET	4K冷却時に静特性が劣化	最近報告が無い(開発中止?)

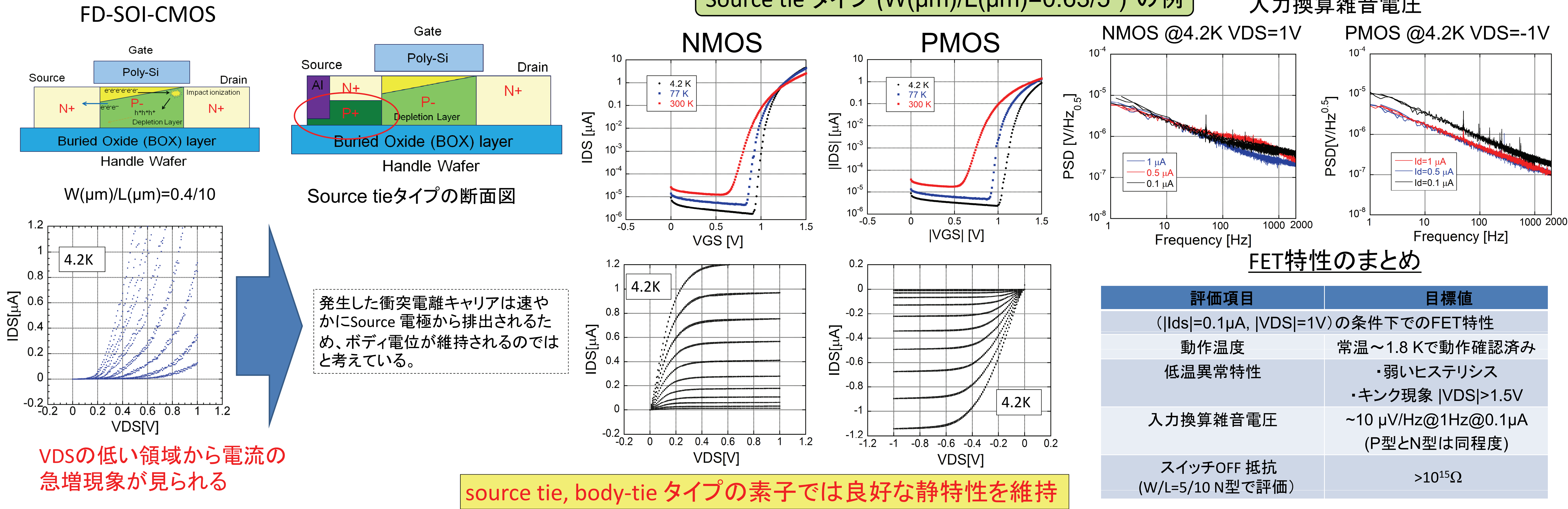
FD-SOI-CMOS

- 耐宇宙放射線とfloating body effectへの耐性→極低温異常特性への耐性も期待できる
- 研究室レベルでの研究開発が可能な安価な「乗り合い試作」の利用が可能
- ▲極低温でのトランジスタ特性についての目立った報告がない。

VLSI設計には低消費電力化が不可欠。従って、「サブスレッショルド領域」(Id=0.1~1.0 μA)での静特性、雑音特性の評価を行った。

Source tie タイプ (W(μm)/L(μm)=0.63/5) の例

入力換算雑音電圧

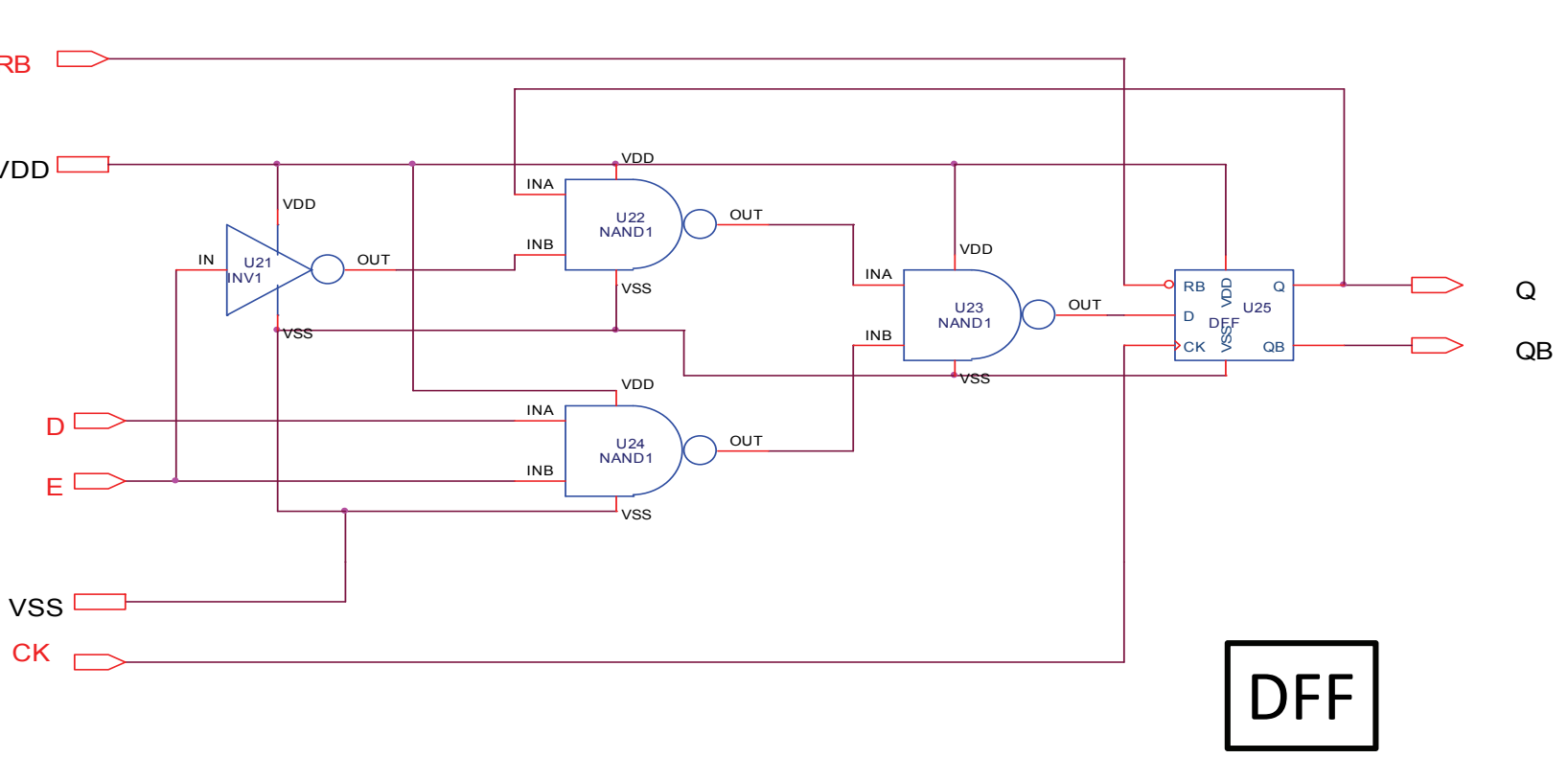
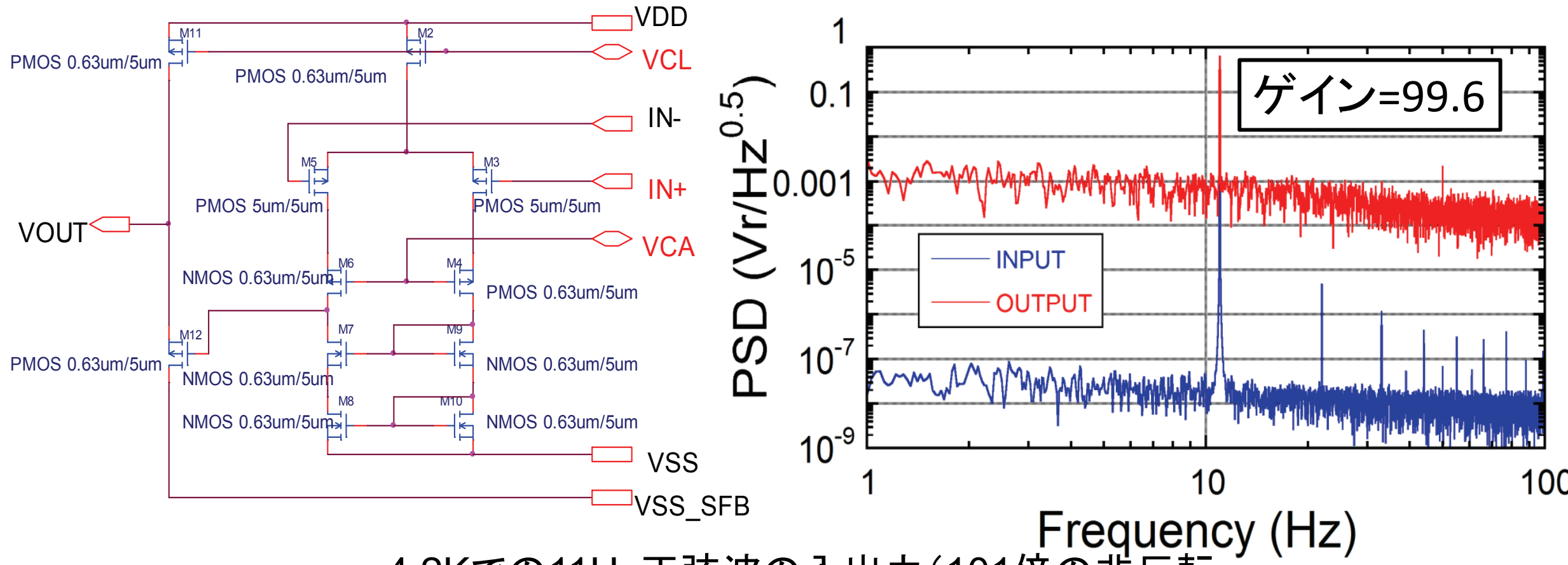


3. FD-SOI-CMOS極低温電子回路

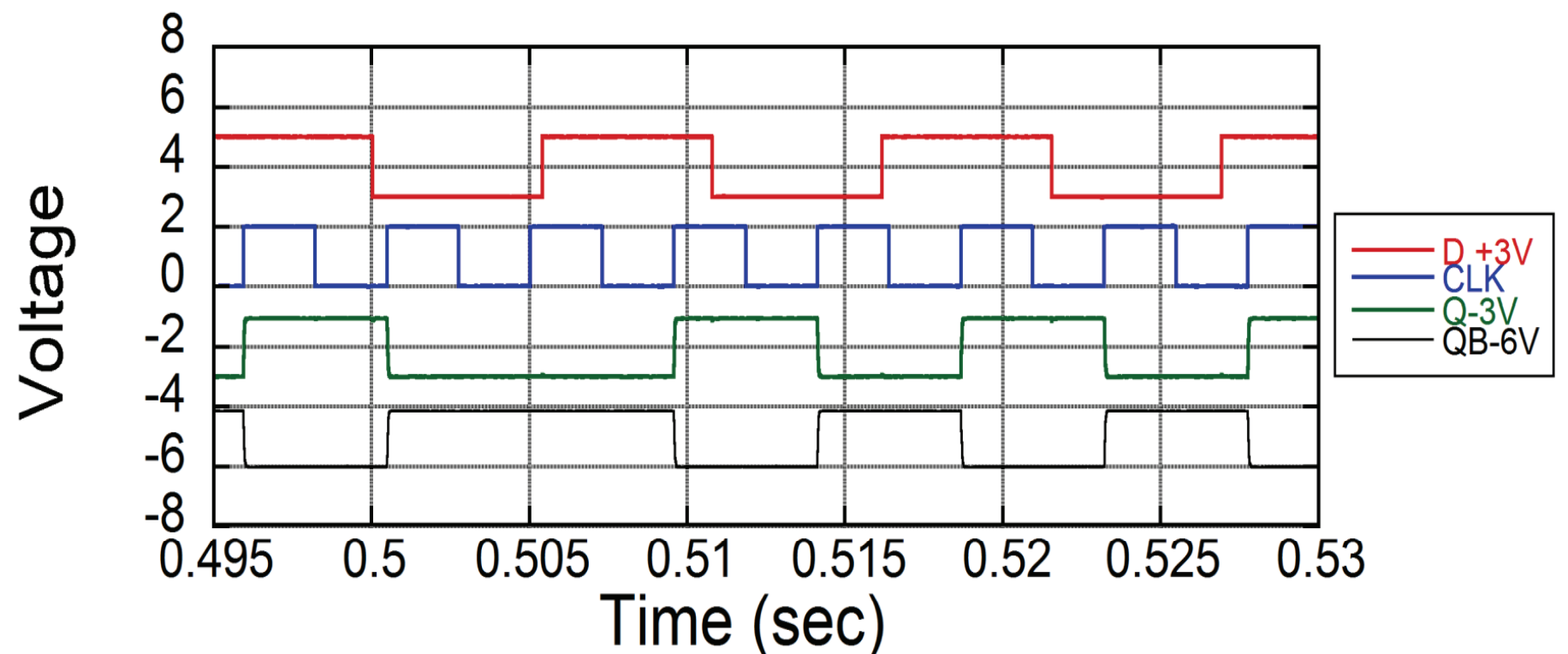
アナログ回路の評価結果

デジタル回路の評価結果

	2008年度試作 (基本アナログ回路)	2009年度試作 (基本デジタル回路)
プロセス	0.2μm FD-SOI Process (OKI-Semi)	
試作回路	Operational amplifiers	Basic logic components
	Single ended amplifiers	(e.g., NAND, INV, FF)
	DC-coupled CTIA	8bit SAR ADC (DA converter, Registers)
	AC-coupled CTIA	S&H, Multiplexer, and CTIA
	Basic circuit elements (R, C, FETs)	Basic circuit elements (FETs)
		Other test circuits



デジタル回路は池田博一氏のOPEN-IPを参考にした。



FD-SOI-CMOSを使った基本回路はほぼ期待通りの性能を示した。

